

KOREAN PATENT ABSTRACTS (KR)

PUBLICATION

(11) Publication No.: 2000-0040458 (43) Publication Date: 5 July 2000
(21) Application No.: 10-1998-0056111 (22) Application Date: 18 December 1998
(51) IPC Code: H01L 21/76

(71) Applicant:
Hyundai Semiconductor Co., Ltd.

(54) Title of the Invention:

Method of Forming Isolation Area in Semiconductor Device

(57) Abstract:

Provided is a method of forming an isolation area in a semiconductor device, and more particularly, a method of forming an isolation layer in a semiconductor device using a trench of a PGI structure, so that an upper corner of an active region of a semiconductor substrate is rounded to make it easy to fill a gap and increase a reliability of the semiconductor device. The method includes forming first and second isolation layers on a semiconductor substrate; defining an isolation area on the semiconductor substrate and removing the second insulating layer from the isolation area; oxidizing the first insulating layer in the isolation area to form an oxide layer; forming sidewall spacers along the sides of the second insulating layer in the isolation area; etching the oxide layer and a portion of the semiconductor substrate in the isolation area to form a trench; removing the sidewall spacers; forming a third insulating layer on the semiconductor substrate having the trench; and forming an isolation layer in the trench.

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶

H01L 21/76

(11) 공개번호 특2000-0040458

(43) 공개일자 2000년 07월 05일

(21) 출원번호 10-1998-0056111

(22) 출원일자 1998년 12월 18일

(71) 출원인 현대반도체 주식회사 김영환

(72) 발명자 충청북도 청주시 흥덕구 향정동 1번지
정상무

(74) 대리인 서울특별시 중랑구 신내동 진로아파트 701-604

김용인, 강용복

심사청구 : 있음

(54) 반도체 소자의 격리영역 형성방법

요약

반도체 소자의 격리영역 형성방법에 관한 것으로, 특히, PGI 구조의 트렌치를 이용한 격리막을 형성할 때 활성영역 상측 코너부의 반도체기판이 라운딩되도록 하여 갭 필링이 용이함을 물론 신뢰도를 향상시킬 수 있는 반도체 소자의 격리막 형성방법에 관한 것이다. 이와 같은 반도체 소자의 격리막 형성방법은 반도체기판상에 제 1, 제 2 절연막을 형성하는 단계, 격리영역을 정의하여 격리영역의 상기 제 2 절연막을 제거하는 단계, 상기 격리영역의 상기 제 1 절연막을 산화시켜 산화막을 형성하는 단계, 상기 격리영역의 상기 제 2 절연막 측면에 측벽 스페이서를 형성하는 단계, 상기 격리영역의 상기 산화막 및 반도체기판을 식각하여 트렌치를 형성하는 단계, 상기 측벽 스페이서를 제거하는 단계, 상기 트렌치가 형성된 반도체기판 표면에 제 3 절연막을 형성하는 단계, 그리고 상기 트렌치에 격리막을 형성하는 단계를 포함한다.

대표도**도2a****명세서****도면의 간단한 설명**

도 1a 내지 도 1e는 종래 반도체소자의 격리영역 형성공정을 보여주는 단면도를

도 2a 내지 도 2h는 본 발명 반도체소자의 격리영역 형성공정을 보여주는 단면도를

도면의 주요부분에 대한 부호의 설명

- | | |
|--------------|--------------|
| 11 : 반도체기판 | 12 : 제 1 절연막 |
| 13 : 제 2 절연막 | 14 : 산화막 |
| 15 : 측벽 스페이서 | 16 : 트렌치 |
| 17 : 제 3 절연막 | 18a : 격리막 |

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자의 격리영역 형성방법에 관한 것으로, 특히, PGI(Profilled Groove Isolation) 구조의 트렌치를 이용한 격리막을 형성할 때 활성영역 상측 에지 코너부가 라운딩되도록 하여 갭 필링이 용이함을 물론 신뢰도를 향상시킬 수 있는 반도체 소자의 격리영역 형성방법에 관한 것이다.

반도체 소자가 고집적화 함에 따라 그에 따른 여러 가지 집적 방법 중에서 소자를 격리하기 위한 소자격리영역(Field Region)과, 소자를 형성하기 위한 활성영역(Active Region)의 크기를 축소하는 방법들이 제안되고 있다. 일반적인 소자격리영역의 형성기술로는 로코스(LOCOS : Local Oxidation of Silicon) 공정을 사용하였다. 이러한 로코스 공정을 이용한 격리영역 형성공정은 그 공정이 간단하고 재현성이 우수하다는 장점이 있어 많이 사용되고 있다.

그러나, 소자가 점차로 고집적화 함에 따라 로코스 공정으로 격리영역을 형성하는 경우 로코스로 형성된 격리산화막의 특징인, 활성영역으로 확장되는 격리산화막 에지부의 버즈 비크(Bird's Beak)의 발생 때문

에 활성영역의 면적이 축소되어 64MB급 이상의 디램(DRAM : Dynamic Random Access Memory) 소자에서 사용하기에는 적합하지 못한 것으로 알려져 있다.

그러서, 종래 로코스를 이용한 격리영역의 형성방법에는 버즈 비크의 생성을 방지하거나 또는 버즈 비크를 제거하여 격리영역을 축소하고 활성영역을 늘리는 등의 어드밴스드 로코스(Advanced LOCOS) 공정이 제안되어 64MB 또는 256MB급 디램의 제조공정에서 사용되었다.

그러나, 이러한 어드밴스드 로코스를 사용한 격리영역의 형성공정도 셀영역의 면적이 $0.2\mu m^2$ 이하를 요구하는 기가(1G)급 이상의 디램에서는 격리영역이 차지하는 면적이 크다는 문제점과 로코스 공정으로 형성되는 필드 산화막이 실리콘 기판의 계면에서 형성되면서 실리콘 기판의 농도가 낮아지게 되어 결과적으로 누설전류가 발생하는 등의 문제점이 발생하여 격리영역의 특성이 나빠지므로 기가(1G) 디램급 이상의 격리영역 형성방법으로 격리영역의 두께 조절이 용이하고 격리 효과를 높일수 있는 트렌치(trench)를 이용한 격리영역 형성방법이 제안되었다.

이하에서, 첨부된 도면을 참조하여 종래 반도체소자의 격리영역 형성방법을 설명하기로 한다.

도 1a 내지 도 1e는 종래 반도체소자의 격리영역 형성공정 단면도이다.

먼저, 도 1a에 나타낸 바와 같이, 반도체기판(1)상에 버퍼(buffer)용 산화막(2)과 절화막(3)을 차례로 형성한다.

도 1b에 나타낸 바와 같이, 상기 절화막(3)상에 감광막(PR)을 도포한다음 격리영역을 정의하여 노광 및 현상공정으로 상기 격리영역의 감광막(PR)이 제거되도록 패턴닝한다. 이어서, 패턴닝된 상기 감광막(PR)을 마스크로 이용한 식각공정으로 상기 절화막(3), 버퍼용 산화막(2)을 차례로 식각하고, 계속해서 상기 반도체기판(1)을 식각하여 트렌치(4)를 형성한다.

도 1c에 나타낸 바와 같이, 상기 감광막(PR)을 제거한다. 이어서, 상기 트렌치(4)내의 반도체기판(1) 표면을 열처리하여 열산화막(5)을 형성한다. 그다음, 상기 트렌치(4)내의 열산화막(5)을 포함한 절화막(3) 전면에 HDP(High Density Plasma)산화막(6)을 형성한다.

이때, 상기한 바와 같은 열산화막(5)을 형성하는 공정은 트렌치(4)를 형성하기 위한 식각공정에서 반도체 기판(1)에 발생한 식각 대미지를 제거함과 동시에, 상기 트렌치(4)가 형성된 반도체기판(1) 상측 코너 부분(A)이 각이진 상태이기 때문에 구조적으로 누설전류의 발생이나, 전계의 집중이 쉬워 결과적으로 그 부분의 반도체기판(1)이 스트레스를 받는 문제를 해결하기 위한 것이다.

도 1d에 나타낸 바와 같이, 화학기계적경면연마(CMP : Chemical Mechanical Polishing)법으로 상기 HDP 산화막(6)과 절화막(3)을 연마하여 트렌치(4)의 상측에 격리막(6a)을 형성한다.

이때, 상기한 바와 같은 연마공정을 상세히 설명하면, 우선 연마공정을 시작하면 HDP 산화막(6)이 연마되기 시작하여 격리영역의 트렌치(4) 상측에만 HDP 산화막(6)이 남게된다. 즉, 절화막(3)의 상측면이 노출되기 시작한다. 그러면, 연마공정을 멈추고, 상기 절화막(3)을 제거한다. 이때, 상기한 바와 같은 연마공정시 절화막(3) 두께의 반정도가 연마된다. 그러면, 상기한 바와 같이 연마공정을 중지하고, 절화막(3)을 제거하는 것이다.

이때, 상기한 바와 같은 트렌치(4)의 상측 코너(corner)부분(A)은 도 1c에서도 설명한 바와 같이 예리하게 각이진 상태였다가 열산화 때문에 약간 라운드 형상을 갖게 된 것을 보여준다.

도 1e에 나타낸 바와 같이, 상기 버퍼용 산화막(2)을 제거한다. 이때, 격리막(6a)도 부분적으로 제거되면서 트렌치(4)보다 약간 높거나 트렌치(4)와 동일 높이가 된다.

이어서, 도면상에 도시하지는 않았지만, 상기한 바와 같은 PGI 형성공정후 반도체 기판(1) 표면에 게이트 산화막 및 게이트 전극을 형성하는 공정을 진행한다.

발명이 이루고자 하는 기술적 과제

종래 반도체 소자의 격리영역 형성방법에 있어서는 다음과 같은 문제점이 있었다.

첫째, 누설전류의 발생이나, 전계가 집중되는 현상등 반도체기판의 코너 부분에서 발생하는 스트레스의 집중 등을 완화하기 위한 열산화막 형성공정을 실시하더라도 트렌치가 형성된 반도체기판의 상측 코너 부분이 각이진 형태로 형성되어 있어 누설전류의 발생, 전계 집중 현상등 스트레스가 집중되는 현상을 완벽하게 제거하기 어려워 신뢰도 높은 격리영역을 제공하는데 한계가 있었다.

둘째, 트렌치 상측 코너 부분이 각이진 상태로 형성되어 있어 격리막으로 사용할 절연막을 트렌치내에 형성할 때 갭 필링(gap filling)이 어려워 트렌치내에서 보이드(void)가 발생할 수 있다. 그리고, 그와 같은 같은 문제는 반도체소자를 고집적화 할수록 더욱 커지게 된다.

본 발명은 상기한 바와 같은 종래 반도체소자의 격리 영역 형성방법의 문제점들을 해결하기 위하여 안출한 것으로 로코스 공정을 이용하여 트렌치의 상측 코너 부분을 라운드진 형태로 형성하여 PGI 격리막 특성을 향상시킬 수 있는 반도체소자의 격리영역 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명에 따른 반도체소자의 격리영역 형성방법은 반도체기판상에 제 1, 제 2 절연막을 형성하는 단계, 격리영역을 정의하여 격리영역의 상기 제 2 절연막을 제거하는 단계, 상기 격리영역의 상기 제 1 절연막을 산화시켜 산화막을 형성하는 단계, 상기 격리영역의 상기 제 2 절연막 측면에 측벽 스페이서를 형성하는 단계, 상기 격리영역의 상기 산화막 및 반도체기판을 식각하여 트렌치를 형성하는 단계, 상기 측벽 스페이서를 제거하는 단계, 상기 트렌치가 형성된 반도체기판 표면에 제 3 절연막을 형성하는 단

계, 그리고 상기 트렌치에 격리막을 형성하는 단계를 포함한다.

이와 같은 본 발명 반도체소자의 격리영역 형성방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2h는 본 발명 반도체소자의 격리영역 형성공정을 보여주는 단면도들이다.

먼저, 도 2a에 나타난 바와 같이, 반도체기판(11)상에 제 1, 제 2 절연막(12)(13)을 차례로 형성한다. 이때, 상기 제 1, 제 2 절연막(12)(13)은 식각선택비가 다른 절연막이며, 상기 제 1 절연막(12)은 산화막으로 형성하고, 상기 제 2 절연막(13)은 질화막으로 형성한다. 이때, 상기 제 2 절연막(13)은 상기 제 1 절연막(12)보다 10배이상의 두께로 형성한다. 그리고, 상기 제 2 절연막(13)은 1500 Å 이상의 두께로 형성한다.

도 2b에 나타난 바와 같이, 상기 제 2 절연막(13)상에 감광막(PR₁)을 도포한다음 격리 영역을 정의하며 노광 및 현상공정으로 격리영역의 감광막(PR₁)이 제거되도록 패터닝한다. 이어서, 패터닝된 상기 감광막(PR₁)을 마스크로 이용한 식각공정으로 격리영역의 상기 제 2 절연막(13)을 선택적으로 제거한다.

도 2c에 나타난 바와 같이, 상기 감광막(PR₁)을 제거한다. 이어서, 상기 제 1 절연막(12)을 산화시켜 필드산화막 형상의 산화막(14)을 형성한다. 그다음, 상기 산화막(14) 양측의 제 2 절연막(13) 측면에 측벽 스페이서(15)를 형성한다.

이때, 상기 측벽 스페이서(15)는 산화막과 질화막중 하나 이상으로 형성한다. 그리고, 상기 측벽 스페이서(15) 형성방법은 상기 산화막(14)을 포함한 제 2 절연막(13) 전면에 측벽 스페이서(15) 형성을 절연막을 형성한다음 반응성 이온 식각법(RIE : Reactive Ion Etching)을 이용한 에치백 공정으로 제 2 절연막(13)의 측면에 측벽 스페이서(15)를 형성한다. 그리고, 상기 측벽 스페이서(15)를 산화막으로 형성할 경우에는 HDP(High Density Plasma) 산화막으로 형성한다.

그리고, 상기 필드산화막 형상으로 형성되는 산화막(14)의 두께는 상기 제 2 절연막(13) 두께의 1/5 이하의 두께로 형성하고, 최초의 제 1 절연막(12)의 두께보다는 2 ~ 3배의 두께가 되도록 한다. 이때, 바람직하게는 200 ~ 300 Å 두께가 되도록 산화한다. 그리고, 상기 산화막(14)의 에지부분을 상세히 살펴보면 상기 제 2 절연막(13)은 상기 산화막(14)에 비해 5배 이상의 두께를 가지고 있기 때문에 측벽 스페이서(15)와 접해있는 제 2 절연막(13)의 바텀(bottom) 에지 코너는 전혀 변하지 않은 것을 알 수 있다. 또한, 상기 반도체기판(11)은 산화공정시 산소와 결합하여 산화막(SiO₂)(14)이 되는데 상기 산화막(14) 에지부와 상기 반도체기판(11)의 계면이 라운딩(rounding)된다.

도 2d에 나타난 바와 같이, 상기 측벽 스페이서(15)와 질화막(13)을 마스크로 이용한 식각공정으로 상기 산화막(14)과 반도체기판(11)을 식각하여 P61 구조의 트렌치(16)를 형성한다.

이때, 상기 도 2d에서의 공정은 측벽 스페이서(15) 형성을질이 질화막일 경우를 나타낸 것으로, 상기한 바와 같은 산화막(14) 및 반도체기판(11)과 식각선택비가 다르므로 측벽 스페이서(15)는 손상을 받지 않는다.

참고로, 상기 측벽 스페이서(15)를 산화막으로 형성하였을 경우에는 상기 산화막(14)과 반도체기판(11)을 식각하여 트렌치(16)를 형성할 때 측벽 스페이서(15) 역시 제거된다(도시하지 않음).

도 2e에 나타난 바와 같이, 상기 측벽 스페이서(15)를 제거한다. 그다음, 상기 트렌치(16)내의 상기 반도체 기판(11) 표면에 제 3 절연막(17)을 형성한다. 이때, 상기 제 3 절연막(17)은 상기 노출된 반도체 기판(11)을 열처리하여 형성하는 열산화막이다. 이때, 상기한 바와 같은 열산화공정은 상기 트렌치(16)를 형성하면서 발생하게 되는 식각 데마지를 감소시키는 물론 상기 트렌치(16)측면의 라운딩된 반도체기판(11)의 상측 코너부분(A)을 더욱 라운딩시킨다. 이때, 상기 측벽 스페이서(15)가 제거되면서, 측벽 스페이서(15)와 동일한 식각선택비를 갖는 제 2 절연막(13)도 전반적으로 그 두께가 얇아진다. 즉, 측벽 스페이서(15)가 형성되어 있지 않은 부분의 제 2 절연막(13) 역시 소정 두께 식각된다.

도 2f에 나타난 바와 같이, 상기 트렌치(16)의 상기 제 3 절연막(17)을 포함한 상기 제 2 절연막(13) 전면에 제 4 절연막(18)을 형성한다. 이때, 상기 트렌치(16)의 양측상부가 라운딩되어 있으므로 제 4 절연막(18)을 형성할 때 보이드(void) 없는 겹 필름이 용이한 것을 알 수 있다. 이때, 상기 제 4 절연막(18)은 산화막과 질화막중 하나 이상을 사용하여 형성하며, 산화막으로 형성할 경우에는 HLD(High Temperature Low Pressure Dielectric) 산화막으로 형성한다.

도 2g에 나타난 바와 같이, 화학기계적경면연마(CMP : Chemical Mechanical Polishing)법으로 상기 제 4 절연막(18)과 제 2 절연막(13)을 연마하여 트렌치(16)의 상측에 격리막(18a)을 형성한다.

이때, 상기한 바와 같은 연마공정은, 우선 연마공정을 시작하면 제 4 절연막(18)이 연마되기 시작하여 격리영역의 트렌치(16) 상측에만 제 4 절연막(18)이 남게 된다. 즉, 제 2 절연막(13)의 상측면 노출되기 시작한다. 그러면, 연마공정을 멈추고, 상기 제 2 절연막(13)을 제거한다. 이때, 상기한 바와 같은 연마공정시 제 2 절연막(13) 두께의 반정도가 연마된다. 그러면, 상기한 바와 같이 연마공정을 중지하고, 남아 있는 제 2 절연막(13)을 제거한다.

도 2h에 나타난 바와 같이, 상기 제 1 산화막(12)을 제거한다. 이때, 격리막(18a)도 부분적으로 제거되면서 트렌치(14)보다 약간 높거나 트렌치(14)와 동일 높이가 된다.

이어서, 도면상에 도시하지는 않았지만, 상기한 바와 같은 P61 형성공정후 반도체 기판(11) 표면에 게이트 산화막 및 게이트 전극을 형성하는 공정을 실시하게 된다.

발명의 효과

본 발명에 따른 반도체 소자의 격리영역 형성방법에 있어서는 다음과 같은 효과가 있다.

첫째, 트렌치가 형성된 반도체기판의 상측 코너 부분이 라운딩 되어 있으므로 누설전류의 발생이나 전계가 집중되는 현상등 반도체기판 상측 코너 부분에서의 스트레스를 방지할 수 있으므로 신뢰도 높은 PBI 구조의 격리영역을 갖는 반도체소자를 제공할 수 있다

둘째, 트렌치의 상측 코너부분이 라운딩 되어 있으므로 격리막을 형성하기 위한 절연막을 증착하는 공정 시 보이드 없는 겹 필링이 가능하고 특히, 고집적화에 유리하다.

(57) 청구의 범위

청구항 1. 반도체기판상에 제 1, 제 2 절연막을 형성하는 단계;

격리영역을 정의하며 격리영역의 상기 제 2 절연막을 제거하는 단계;

상기 격리영역의 상기 제 1 절연막을 산화시켜 산화막을 형성하는 단계;

상기 격리영역의 상기 제 2 절연막 측면에 측벽 스페이서를 형성하는 단계;

상기 격리영역의 상기 산화막 및 반도체기판을 식각하여 트렌치를 형성하는 단계;

상기 측벽 스페이서를 제거하는 단계;

상기 트렌치가 형성된 반도체기판 표면에 제 3 절연막을 형성하는 단계; 그리고,

상기 트렌치에 격리막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 2. 제 1 항에 있어서, 상기 제 1 절연막을 산화시켜 산화막을 형성할 때 상기 격리영역 에지부의 상기 제 2 절연막의 바텀 에지 코너는 손상되지 않도록 할과 동시에 상기 격리영역 에지부와 접해 있는 상기 반도체기판의 상측 모서리를 라운딩되게 하는 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

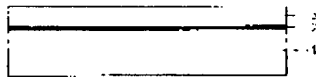
청구항 3. 제 1 항에 있어서, 상기 측벽 스페이서를 제거할 때 상기 제 2 절연막의 상측 표면도 소정 두께 제거되면서 상기 격리영역의 상기 제 2 절연막 에지 상측 코너부분이 라운딩되게 하는 것을 특징으로 하는 반도체소자의 격리영역 형성방법.

청구항 4. 제 1 항에 있어서, 상기 측벽 스페이서를 제거하는 단계는 상기 트렌치를 형성할 때 제거하는 것을 특징으로 하는 반도체소자의 격리영역 형성방법.

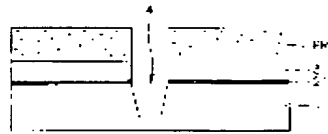
청구항 5. 제 1 항에 있어서, 상기 제 2 절연막은 상기 제 1 절연막보다 두꺼운 두께로 형성하고, 상기 산화막은 상기 제 2 절연막보다는 얇은 두께로 형성하는 것을 특징으로 하는 반도체 소자의 격리막 형성방법.

도면

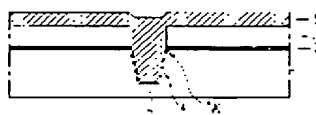
도면1a



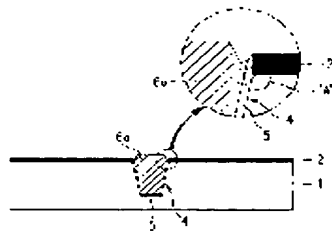
도면1b



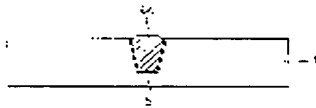
도면1c



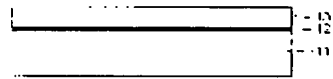
도면1d



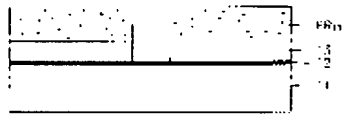
도면1e



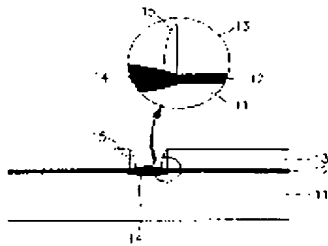
도면2a



도면2b



도면2c



도면2d

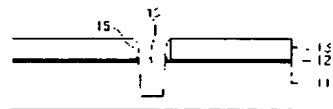


図 20e

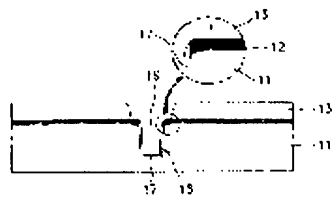


図 20f



図 20g

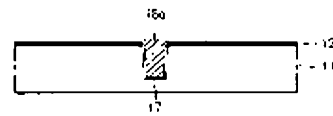


図 20h

